



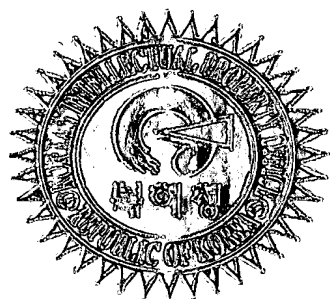
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0012403  
Application Number

출원 년 월 일 : 2003년 02월 27일  
Date of Application

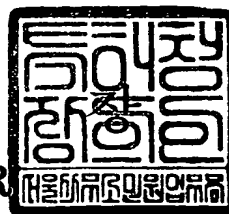
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      08      월      11      일


특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.02.27
【발명의 명칭】	고전압 듀얼 게이트 소자의 형성 방법
【발명의 영문명칭】	Method for fabricating of high voltage dual gate device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	박성희
【성명의 영문표기】	PARK, Song Hee
【주민등록번호】	670817-1010011
【우편번호】	363-894
【주소】	충청북도 청원군 강내면 탑연리 주은반석아파트 102동 405호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	3 항 205,000 원
【합계】	234,000 원



1020030012403

출력 일자: 2003/8/13

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 나이트라이드막 형성 선택적 식각 공정후에 고전압 게이트 산화막을 형성하여 소자 격리층의 손상을 억제할 수 있도록 한 고전압 듀얼 게이트 소자의 형성 방법에 관한 것으로, 저전압 소자 형성 영역과 고전압 소자 형성 영역을 갖는 반도체 기판의 고전압 소자 형성 영역에 고전압 n형 및 p형 웰 영역을 형성하는 단계; 상기 웰 영역들내에 고전압 NMOS 트랜지스터 및 고전압 PMOS 트랜지스터의 소오스/드레인 영역을 형성하는 단계; 소자 격리 영역에 STI 공정에 의한 소자 격리층을 형성하고 전면에 버퍼용 나이트라이드막을 형성하는 단계; 상기 버퍼용 나이트라이드막상에 고전압용 게이트 산화막을 형성하고 고전압 소자 형성 영역에만 남기는 단계; 저전압 형성 영역에 저전압 p형, n형 웰 영역을 형성하고 표면에 저전압용 게이트 산화막을 형성하는 단계를 포함한다.

**【대표도】**

도 2p

**【색인어】**

HV 게이트, STI, 게이트 산화막

## 【명세서】

## 【발명의 명칭】

고전압 듀얼 게이트 소자의 형성 방법{Method for fabricating of high voltage dual gate device}

## 【도면의 간단한 설명】

도 1은 종래 기술의 고전압 듀얼 게이트 소자의 구조 단면도

도 2a내지 도 2p는 본 발명에 따른 고전압 듀얼 게이트 소자의 형성을 위한 공전 단면도

- 도면의 주요 부분에 대한 부호의 설명 -

- |                  |                   |
|------------------|-------------------|
| 21. 반도체 기판       | 22. 제 1 버퍼 산화막    |
| 23. 나이트라이드막      | 24. 고전압 n형 웰 영역   |
| 25. 고전압 p형 웰 영역  | 26.27. 소오스/드레인 영역 |
| 28. 제 2 버퍼 산화막   | 29. 평탄화 스탭층       |
| 30. HDP 산화막      | 31. 소자 격리층        |
| 32. 버퍼용 나이트라이드   | 33. 고전압용 게이트 산화막  |
| 34. 저전압 n형 웰 영역  | 35. 저전압 p형 웰 영역   |
| 36. 저전압용 게이트 산화막 |                   |

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12>        본 발명은 반도체 소자의 제조에 관한 것으로, 구체적으로 나이트라이드막 형성 선택적 식각 공정후에 고전압 게이트 산화막을 형성하여 소자 격리층의 손상을 억제할 수 있도록한 고전압 듀얼 게이트 소자의 형성 방법에 관한 것이다.
- <13>        LDI(LCD Driver IC) 제품과 같은 전력소자(power device) 제품들은 소자 구동시 로직 회로(LOGIC circuit) 구동을 위한 로우 전압(Low Voltage:LV) 동작과 LCD 구동을 위한 하이 전압(High Voltage:HV) 동작을 모두 필요로 하므로 게이트 산화막을 듀얼 게이트 구조로 가져가야 할 뿐 아니라 미세 선폭의 추세에 따라 TI(Trench Isolation) 공정의 채용이 불가피한 상태이다.
- <14>        하지만 TI 공정 결과 형성된 STI 구조에 듀얼 게이트 산화막 제조공정을 그대로 적용하면 HV용 듀얼 게이트 산화막을 형성할 때 LV 영역의 STI 리세스(recess)가 과도하게 발생하여 소자 특성에 치명적인 손상이 가해지게 된다.
- <15>        이는 STI 구조의 갭 필(gap fill)에 사용되는 막질은 USG나 HDP와 같은 CVD 산화막인 반면 게이트 산화막으로는 열산화막(thermal oxide) 재질의 막질이 사용되므로, 열산화막으로 듀얼 산화막을 형성할 때 열산화막과 CVD 산화막 간의 습식식각률(wet etch rate) 차이에 의해 액티브 영역과 필드 영역의 경계면에서 심하게 덴트(dent)가 발생되기 때문이다.

- <16> 이하에서 첨부된 도면을 참고하여 종래 기술의 고전압 듀얼 게이트 소자 에 관하여 설명한다.
- <17> 도 1은 종래 기술의 고전압 듀얼 게이트 소자의 구조 단면도이다.
- <18> 도 1에서와 같이, HV 나이트라이드 식각시 HV 액티브 부위와 STI상의 나이트라이드 두께 차로 인해 액티브 부위의 나이트라이드를 완전히 제거하는 드라이 식각 공정에서 충분하지 않은 것을 알 수 있다.
- <19> 이는 식각 선택비(selectivity)로 인해 STI 위의 HDP 산화막의 손실 및 트랜치 코너의 실리콘이 영향을 받는 문제점이 있다.
- <20> 또한, 습식 식각으로 나이트라이드 제거시에도,  $H_3PO_4$ 의 나이트라이드와 HDP의 식각 선택비가 ~1 이기 때문에 여전히 산화막의 리세스는 발생하며, 로직 부위의 나이트라이드가 손실된다.
- <21> 그러나 이와 같은 종래 기술의 고전압 듀얼 게이트 소자는 다음과 같은 문제점이 있다.
- <22> 고전압 소자 영역에서 나이트라이드 식각시에 액티브 영역 부위와 STI상의 나이트라이드 두께 차로 인한 식각 선택비에 의해 STI 위의 HDP 산화막의 손실 및 트랜치 코너의 실리콘이 영향받는 문제점이 있다.
- <23> 또한, 습식 식각으로 나이트라이드 제거시에도 필드 산화막의 리세스는 발생하며, 로직 부위의 나이트라이드가 손실된다.

**【발명이 이루고자 하는 기술적 과제】**

<24> 본 발명은 이와 같은 종래 기술의 의 문제를 해결하기 위하여 안출한 것으로, 나이트라이드막 형성 선택적 식각 공정후에 고전압 게이트 산화막을 형성하여 소자 격리층의 손상을 억제할 수 있도록 한 고전압 듀얼 게이트 소자의 형성 방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<25> 이와 같은 목적을 달성하기 위한 본 발명에 따른 고전압 듀얼 게이트 소자의 형성 방법은 저전압 소자 형성 영역과 고전압 소자 형성 영역을 갖는 반도체 기판의 고전압 소자 형성 영역에 고전압 n형 및 p형 웰 영역을 형성하는 단계; 상기 웰 영역들내에 고전압 NMOS 트랜지스터 및 고전압 PMOS 트랜지스터의 소오스/드레인 영역을 형성하는 단계; 소자 격리 영역에 STI 공정에 의한 소자 격리층을 형성하고 전면에 버퍼용 나이트라이드막을 형성하는 단계; 상기 버퍼용 나이트라이드막상에 고전압용 게이트 산화막을 형성하고 고전압 소자 형성 영역에만 남기는 단계; 저전압 형성 영역에 저전압 p형, n형 웰 영역을 형성하고 표면에 저전압용 게이트 산화막을 형성하는 단계를 포함하는 것을 특징으로 한다.

<26> 본 발명에 따른 고전압 듀얼 게이트 소자의 형성 방법의 바람직한 실시예에 관하여 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.



- <27> 도 2a내지 도 2p는 본 발명에 따른 고전압 듀얼 게이트 소자의 형성을 위한 공전 단면도이다.
- <28> 본 발명은 나이트라이 식각에 발생하는 액티브의 손상(loss)을 방지하기 위해 얇은 나이트라이드막을 형성하고, 그 막을 선택 에치한 후 고전압 게이트 산화막을 형성하여 필드부의 손실을 억제할 수 있도록 한다.
- <29> 먼저, 도 2a에서와 같이, 반도체 기판(21)상에 제 1 버퍼 산화막(22)을 형성한다.
- <30> 그리고 도 2b에서와 같이, 나이트라이드막(23)을 형성하고 포토레지스트 패턴(PR1)을 이용하여 고전압 n형 웰 영역을 정의하고 이온 주입 공정을 진행한다.
- <31> 이어, 도 2c에서와 같이, 포토레지스트 패턴(PR2)을 이용하여 고전압 p형 웰 영역을 정의하고 이온 주입 공정을 진행한다.
- <32> 그리고 도 2d에서와 같이, 드라이브 인 확산 공정으로 고전압 n형 웰 영역(24)과 고전압 p형 웰 영역(25)을 형성한다.
- <33> 이어, 포토레지스트 패턴(PR3)을 형성한 후에 고전압 NMOS 트랜지스터의 소오스/드레인을 형성하기 위한 이온 주입 공정을 진행한다.
- <34> 그리고 도 2e에서와 같이, 포토레지스트 패턴(PR4)을 형성한 후에 고전압 PMOS 트랜지스터의 소오스/드레인을 형성하기 위한 이온 주입 공정을 진행한다.
- <35> 이어, 도 2f에서와 같이, 이온 주입된 소오스, 드레인을 어닐을 통해 드라이브 인(drive in) 확산하여 고전압 NMOS 트랜지스터의 소오스/드레인 영역(26)과 고전압 PMOS 트랜지스터의 소오스/드레인 영역(27)을 형성한다.

- <36> 그리고 제 1 버퍼 산화막(22)을 습식각하여 제거하고 제 2 버퍼 산화막(28)을 형성하고 성장된 산화막위에 CMP공정시의 평탄화 스타프층(29)으로 사용하기 위한 나이트라이드를 1000Å 정도 증착한다.
- <37> 이어, 도 2g에서와 같이, STI 영역이 오픈되는 포토레지스트 패턴(PR5)을 이용하여 소자간의 격리를 위한 트렌치를 형성한다.
- <38> 그리고 도 2h에서와 같이, 상기 트렌치를 포함하는 전면에 HDP(High Density Plasma) 산화막(30)을 증착한다.
- <39> 이어, 도 2i에서와 같이, CMP를 통해 HDP 산화막(30)과 평탄화 스타프층(29)를 제거하여 평탄화하여 소자 격리층(31)을 형성한 후에 습식각을 통해 남은 나이트라이드를 제거한다.
- <40> 그리고 도 2j에서와 같이, 버퍼용 나이트라이드(32)를 300Å 이하로 증착한다.
- <41> 이어, 도 2k에서와 같이, 전면에 1000Å 두께의 고전압용 게이트 산화막(33)을 증착한다.
- <42> 그리고 도 2l에서와 같이, 저전압 트랜지스터 형성 영역이 오픈되는 포토레지스트 패턴(PR6)을 형성하고 이를 이용하여 저전압 트랜지스터 형성 영역의 버퍼용 나이트라이드(32)와 고전압용 게이트 산화막(33)을 제거한다.
- <43> 이어, 도 2m에서와 같이, 포토레지스트 패턴(PR7)을 이용하여 이온 주입 공정을 진행하여 저전압 n형 웰 영역(34)을 형성한다.
- <44> 그리고 도 2n에서와 같이, 포토레지스트 패턴(PR8)을 이용하여 이온 주입 공정을 진행하여 저전압 p형 웰 영역(35)을 형성한다.

- <45>        이어, 도 2o에서와 같이, 저전압 트랜지스터 형성 영역에  $V_t$  조절용 이온주입 한후 저전압용 게이트 산화막(36)을 성장시킨다.
- <46>        그리고 도 2p에서와 같이, 소자 구동용 게이트 폴리 실리콘층(37)를 증착하고 선택적으로 패터닝하여 게이트 전극들을 형성한다.
- <47>        이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- <48>        따라서, 본 발명의 기술적 범위는 실시예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

#### 【발명의 효과】

- <49>        이상에서 설명한 본 발명에 따른 고전압 듀얼 게이트 소자의 형성 방법은 다음과 같은 효과가 있다.
- <50>        본 발명은 나이트라이드 식각에 발생하는 액티브의 로스를 방지하기 위해 얇은 나이트라이드 막을 형성하는 것에 의해 소자 격리층의 손실을 억제할 수 있다.
- <51>        즉, 나이트라이드막을 선택 식각한 후 고전압 게이트 산화막을 형성하여 소자 격리층의 로스를 억제하여 소자의 동작 특성을 향상시키고, 신뢰성을 높인다.

**【특허청구범위】****【청구항 1】**

저전압 소자 형성 영역과 고전압 소자 형성 영역을 갖는 반도체 기판의 고전압 소자 형성 영역에 고전압 n형 및 p형 웰 영역을 형성하는 단계;

상기 웰 영역들내에 고전압 NMOS 트랜지스터 및 고전압 PMOS 트랜지스터의 소오스/드레인 영역을 형성하는 단계;

소자 격리 영역에 STI 공정에 의한 소자 격리층을 형성하고 전면에 버퍼용 나이트라이드막을 형성하는 단계;

상기 버퍼용 나이트라이드막상에 고전압용 게이트 산화막을 형성하고 고전압 소자 형성 영역에만 남기는 단계;

저전압 형성 영역에 저전압 p형, n형 웰 영역을 형성하고 표면에 저전압용 게이트 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 고전압 듀얼 게이트 소자의 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

고전압용 게이트 산화막을 패터닝하는 단계에서 버퍼용 나이트라이드막에 의해 소자 격리층이 블록킹되는 것을 특징으로 하는 고전압 듀얼 게이트 소자의 형성 방법.

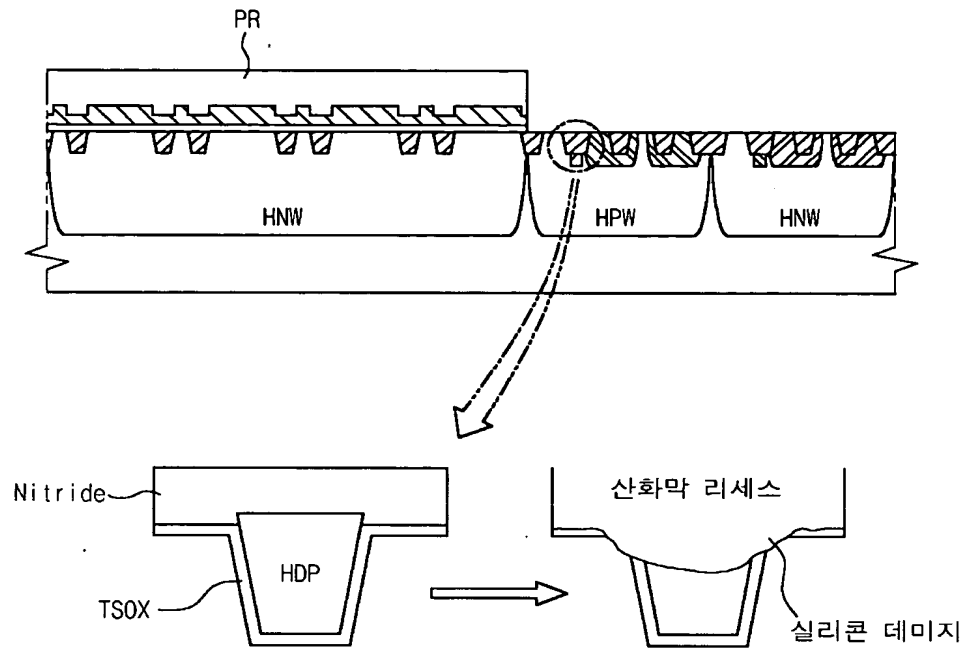
【청구항 3】

제 1 항에 있어서,

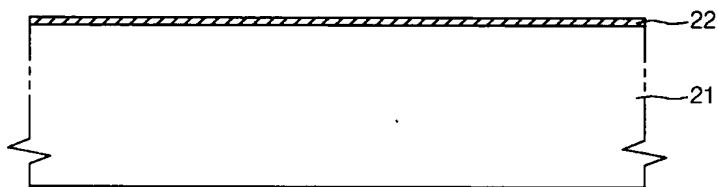
소자 격리층을 HDP 산화막을 증착한 후에 CMP 공정으로 평탄화하여 형성하는 것을  
특징으로 하는 고전압 듀얼 게이트 소자의 형성 방법.

【도면】

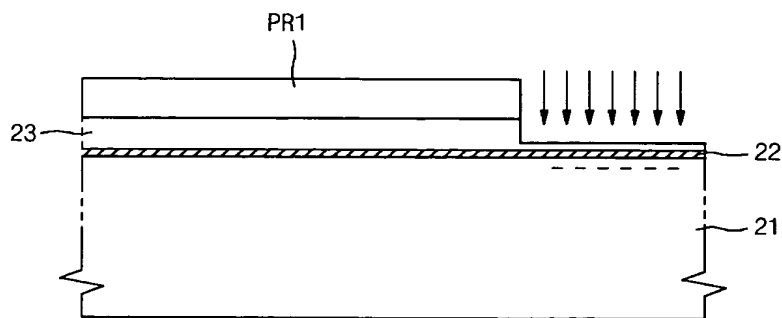
【도 1】



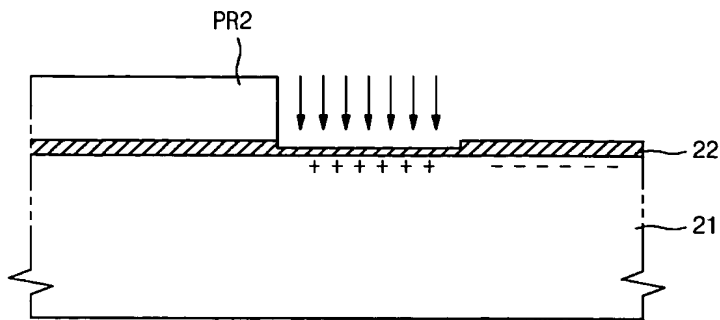
【도 2a】



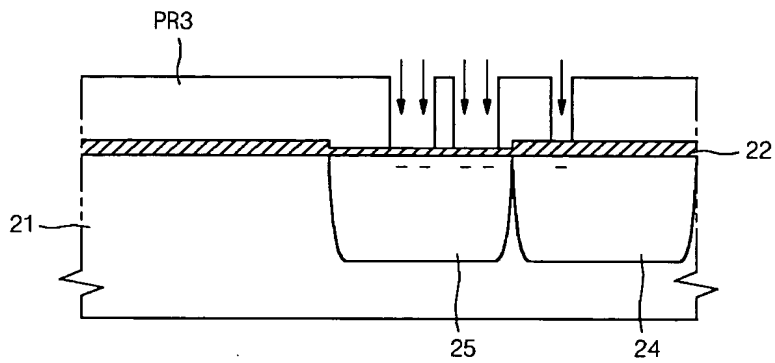
【도 2b】



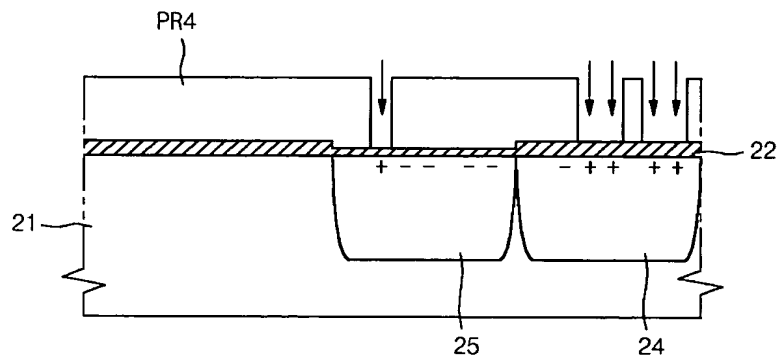
【도 2c】



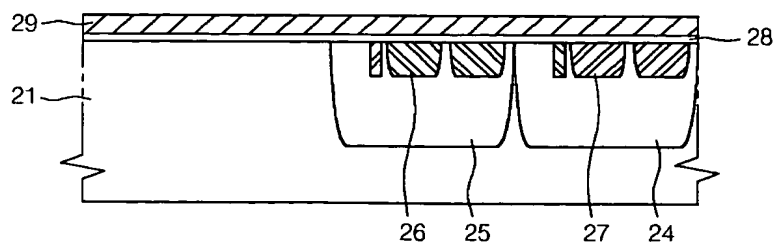
【도 2d】



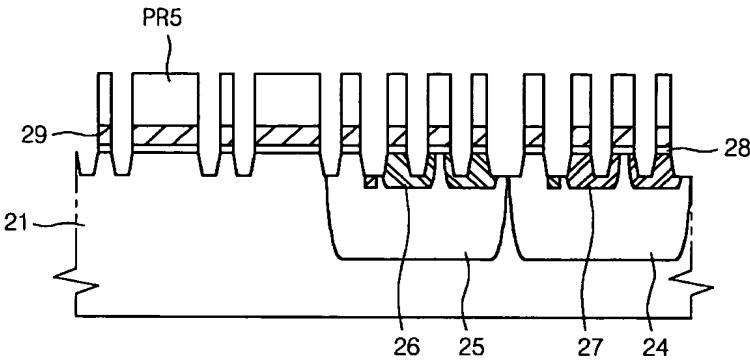
【도 2e】



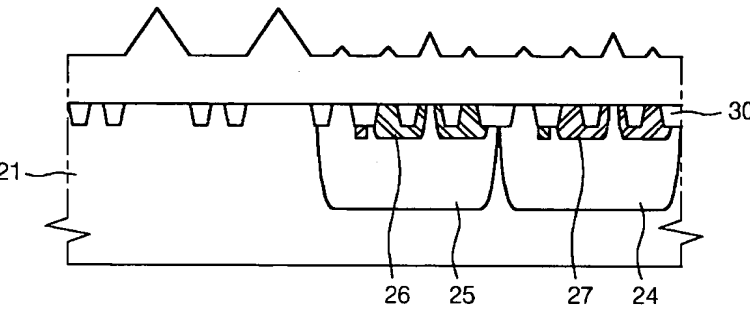
【도 2f】



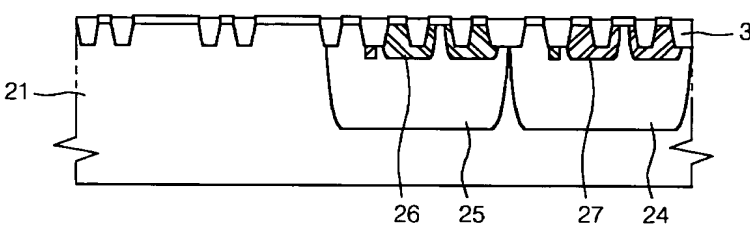
【도 2g】



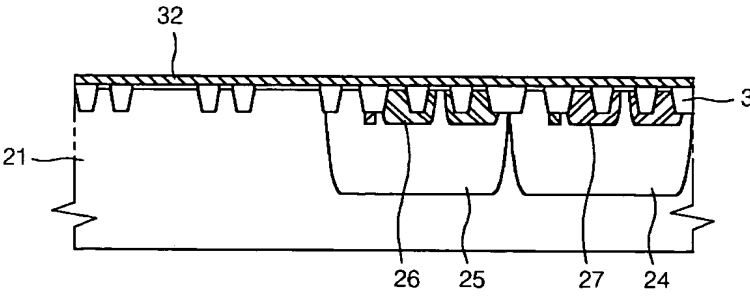
【도 2h】



【도 2i】

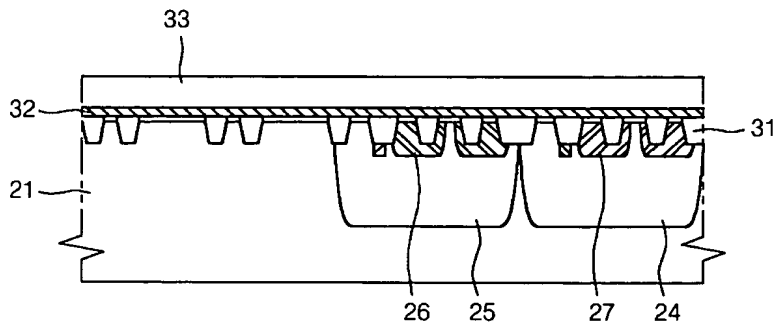


【도 2j】

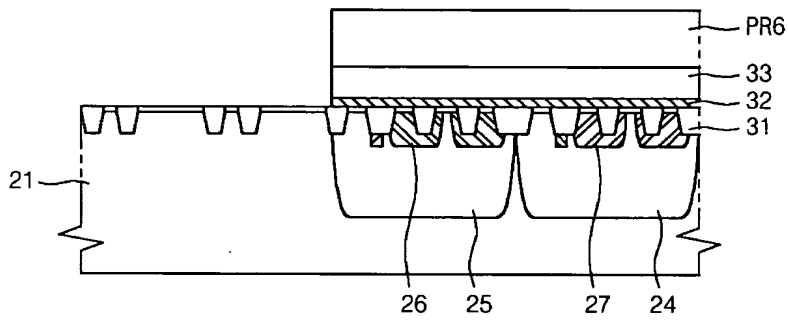




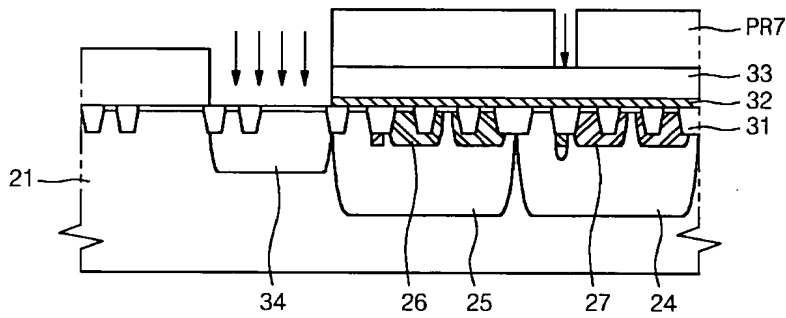
【도 2k】



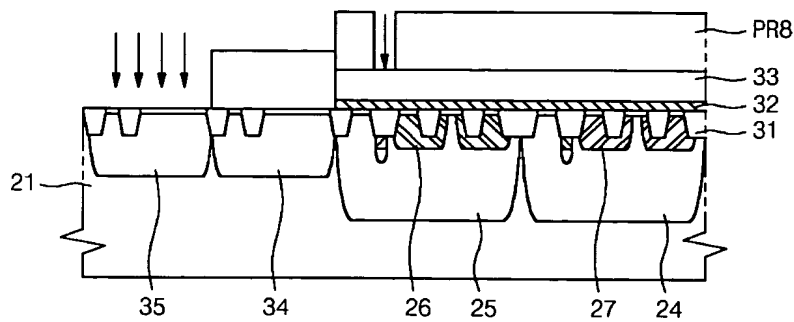
【도 2l】



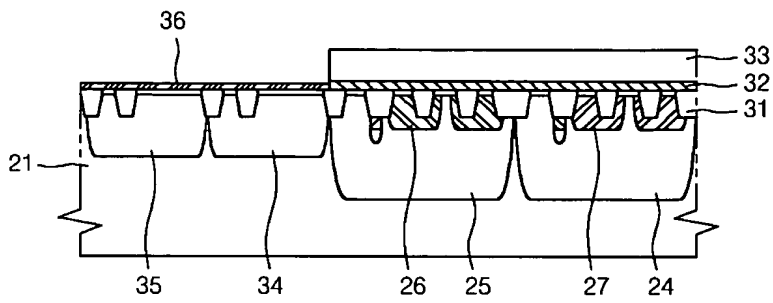
【도 2m】



【도 2n】



【도 2o】



【도 2p】

